

PATENT ABSTRACTS OF JAPAN

IDS(9)

(11)Publication number : 05-190758

(43)Date of publication of application : 30.07.1993

(51)Int.Cl. H01L 23/538
H01L 21/82

(21)Application number : 04-021980

(71)Applicant : SHARP CORP

(22)Date of filing : 09.01.1992

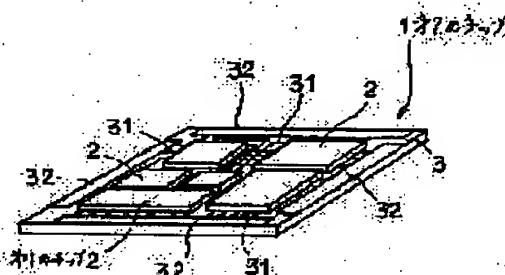
(72)Inventor : FUJIMOTO KAZUYA
SATO YUICHI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To provide a semiconductor device wherein it can be manufactured in a short period of about two to three weeks, its chip size is not increased, the completely same chip is formed by forming a process mask on the basis of a piece of data which is input to a CAD after confirming an operation after its manufacture and it can be mass-produced and to provide its manufacturing method.

CONSTITUTION: In a semiconductor device, first chips 2 which are prepared in advance and which constitute functional blocks and a second chip 1 forming only an interconnection 31 used to connect the individual functional blocks for the plurality of first chips 2 are pasted in a flip-chip form. As a manufacturing method, many kinds of first chips 2 constituting the functional blocks are prepared in advance, only the required chips are selected, the second chip 1 provided with only the wiring 31 used to connect the individual functional blocks of the plurality of first chips 2 is formed, the plurality of first chips 2 and the second chip 1 are pasted in a flip-chip form.



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-190758

(43)公開日 平成5年(1993)7月30日

(51)IntCl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 23/538

21/82

7220-4M

9169-4M

9169-4M

H 0 1 L 23/ 52

21/ 82

A

B

Z

審査請求 未請求 請求項の数2(全 3 頁)

(21)出願番号

特願平4-21980

(22)出願日

平成4年(1992)1月9日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 藤本 和也

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72)発明者 佐藤 雄一

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

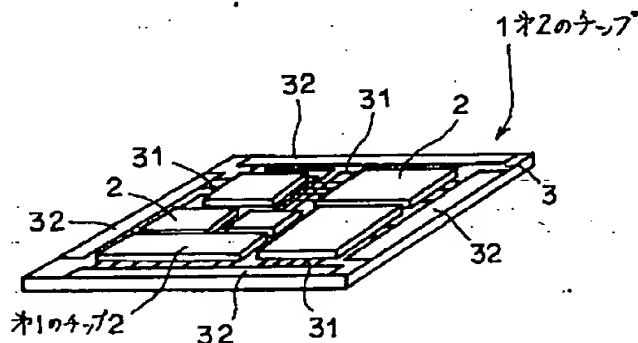
(74)代理人 弁理士 大西 孝治

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【目的】 約2～3週間の短期間で製造することができ、チップサイズが増大されることがなく、製造した後における動作確認を行った後はCADにインプットされたデータに基づいてプロセスマスクを作成することにより全く同一のチップを作成して量産化することができる半導体装置及びその製造方法を提供する。

【構成】 半導体装置1は、予め用意され機能ブロックを構成した第1のチップ2と、複数の第1のチップ2の各機能ブロック同士を接続するための配線31のみを形成した第2のチップ3とがフリップチップ形式で張り合わされている。また、製造方法は、機能ブロックを構成した第1のチップ2を予め多種類も用意しておき必要なものだけを選択してこれら複数の第1のチップ2の各機能ブロック同士を接続するための配線31のみを有する第2のチップ3を作成し複数の第1のチップ2と第2のチップ3とをフリップチップ形式で張り合わせて製造する。



【特許請求の範囲】

【請求項 1】 特定用途向きの半導体装置において、予め用意されたチップであって機能ブロックを構成した第 1 のチップと、複数の第 1 のチップの各機能ブロック同士を接続するための配線のみを形成した第 2 のチップとを備えており、複数の第 1 のチップがフリップチップ形式で第 2 のチップと張り合わせてなることを特徴とする半導体装置。

【請求項 2】 機能ブロックを構成した第 1 のチップを予め多種類も用意しておき、これらの第 1 のチップの中から必要なものを選択し、その後、選択された複数の第 1 のチップの各機能ブロック同士を接続するための配線のみを有する第 2 のチップを作成して、複数の第 1 のチップがフリップチップ形式で第 2 のチップと張り合わせて特定用途向きの半導体装置を製造することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、特定用途向きに用いられる半導体装置と、この半導体装置を製造する製造方法に関する。

【0002】

【従来の技術】従来、スタンダードセル形式で製造される半導体装置は、ユーザ側で回路動作を確認した後に、プロセス用マスクを作成してプロセス工程をスタートしてから 2～3 ヶ月後に、テストサンプルとしての半導体装置が出荷されていた。

【0003】

【発明が解決しようとする課題】上記したように、従来、スタンダードセル形式で半導体装置を製造した場合には、約 2～3 ヶ月の製造期間が必要であり、このために、ユーザ側は回路動作を確認した後にテストサンプルとしての半導体装置が手に入るまで、長期間半導体装置製品の実動作を確認することができないといった問題があった。また、ゲートアレイ形式で半導体装置を製造すると、約 2～3 週間の製造期間で製造してテストサンプルとしての半導体装置を出荷することが可能であるので、半導体装置の開発期間（回路動作確認・製造・テストサンプルとしての半導体装置の実動作確認等の期間を含む）は短縮することはできるが、半導体装置の製造に用いられるチップのサイズが前記したスタンダードセル形式で製造される半導体装置より増大して、デバイスコストが高くなるといった問題があった。

【0004】この発明の目的は、上記した従来の問題を解決することにある。すなわち、従来のゲートアレイ形式による半導体装置製造期間と同等の期間で製造することができ、しかも、従来のスタンダードセル形式で製造される半導体装置と同等のチップサイズのものを完成することができ、更に、製造した後における動作確認を行った後は、CAD に製造工程におけるデータをインプ

ットしておくことによって、この CAD にインプットされたデータに基づいてプロセスマスクを作成することができ、全く同一のチップを従来のプロセス技術で作成して量産化を図ることができる半導体装置及びその製造方法を提供することである。

【0005】

【課題を解決するための手段】この発明は、上記目的を達成するために、半導体装置として、特定用途向きの半導体装置において、予め用意されたチップであって機能ブロックを構成した第 1 のチップと、複数の第 1 のチップの各機能ブロック同士を接続するための配線のみを形成した第 2 のチップとを備えており、複数の第 1 のチップがフリップチップ形式で第 2 のチップと張り合わせてなるものとした。

【0006】また、本発明に係る半導体装置の製造方法は、機能ブロックを構成した第 1 のチップを予め多種類も用意しておき、これらの第 1 のチップの中から必要なものを選択し、その後、選択された複数の第 1 のチップの各機能ブロック同士を接続するための配線のみを有する第 2 のチップを作成して、複数の第 1 のチップがフリップチップ形式で第 2 のチップと張り合わすようにした。

【0007】

【実施例】以下、この発明に係る半導体装置及びその製造方法の実施例を、図面に基づいて説明する。図 1 は本発明の一実施例に係る半導体装置に用いられる複数の第 1 のチップの斜視図、図 2 は本発明の一実施例に係る半導体装置の平面図、図 3 は本発明の一実施例に係る半導体装置の斜視図である。

【0008】この発明に係る半導体装置 1 は特定用途向き用 IC である ASIC に特に適したものであり、図 3 に示すように複数の第 1 のチップ 2 がフリップチップ形式で第 2 のチップ 3 と張り合わされた構成となっている。第 1 のチップ 2 は予め用意されたチップであって、CPU、RAM 等のマクロセルに相当する機能ブロックが構成されている。第 2 のチップ 3 は、複数の第 1 のチップ 2 の各機能ブロック同士を接続するための配線 3 1 等を有する構成となっている。

【0009】次に、半導体装置 1 の製造方法について説明する。まず、機能ブロックを構成した第 1 のチップ 2 を多種類用意しておく。この第 1 のチップ 2 は、半導体ウエハ上に多数の機能ブロックを形成した後、良品選別テストを経て、ダイシングが施された後のものである。

【0010】半導体装置 1 のレイアウトは CAD 用のコンピュータを用いて行われる。即ち、ユーザから提供された半導体装置 1 の回路データを CAD 用のコンピュータにインプットしてプログラムを実行させると、まず、必要となる第 1 のチップ 2 の種類が選択され、その後、第 2 のチップ 3 上の配線レイアウト（入出力バッファ 3

2を含む)の結果が出力される。

【0011】そして、前記配線レイアウトをもとにプロセスマスクを作成し、これを用いて配線31、入出力パッド32等を有する第2のチップ3を製造する。

【0012】その後、第2のチップ3上に選択された第1のチップ2をフリップチップ形式で張り合わせる。これにより、図2、図3に示すようなユーザ側が所望する半導体装置1が完成されて、ユーザ側に出荷される。

【0013】なお、この製造方法で製造された半導体装置の動作確認を行った後は、CADに第2のチップ3等のデータをインプットしておく、前記データに基づいて第2のチップ3と同等のプロセスマスクを作成することができる。従って、全く同一のチップを従来のプロセス技術で量産化を図ることが可能になる。

【0014】

【発明の効果】以上説明したように、この発明によれば、機能ブロックを構成した第1のチップを予め多種類も用意しておくことによって、従来のゲートアレイ形式による半導体装置製造期間と同等の期間で製造すること

ができる。しかも、本発明に係る半導体装置は、選択された複数の第1のチップがフリップチップ形式で第2のチップと張り合わすことによって完成されるので、従来のゲートアレイと同等の期間で製造でき、かつスタンダードセル形式で製造される半導体装置と同等のチップサイズとすることができる。

【図面の簡単な説明】

【図1】本発明の一実施例に係る半導体装置における機能ブロックを構成した複数の第1のチップを示す斜視図である。

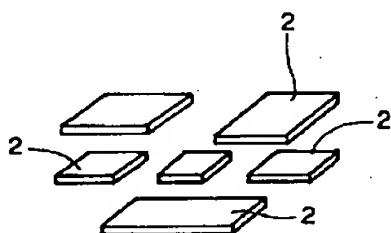
【図2】本発明の一実施例に係る半導体装置の平面図である。

【図3】本発明の一実施例に係る半導体装置の斜視図である。

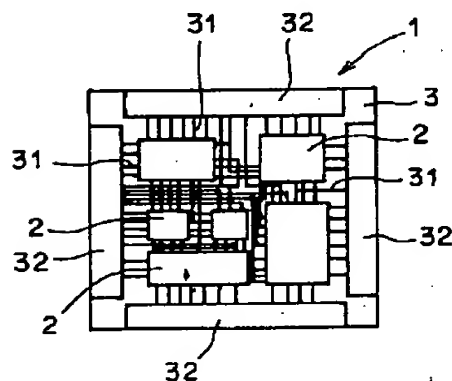
【符号の説明】

- 1 半導体装置
- 2 第1のチップ
- 3 第2のチップ
- 31 配線

【図1】



【図2】



【図3】

